

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : **Ichiro YAMAMOTO et al.**  
Filed : **Concurrently herewith**  
For : **SEMICONDUCTOR DEVICE INCLUDING....**  
Serial No. : **Concurrently herewith**

December 31, 2003

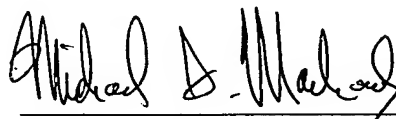
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**PRIORITY CLAIM AND**  
**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application numbers **2003-022764** filed **January 31, 2003**, a copy of which is enclosed and **2003-416411** filed **December 15, 2003**, a copy of which will follow.

Respectfully submitted,

  
\_\_\_\_\_  
Michael I. Markowitz  
Reg. No. 30,659

Katten Muchin Zavis Rosenman  
575 Madison Avenue  
New York, NY 10022-2585  
(212) 940-8800  
Docket No.: NECR 20.838



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 3 0 日  
Date of Application:

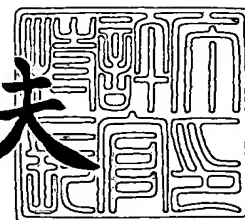
出 願 番 号            特 願 2 0 0 3 - 0 2 2 7 6 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 2 2 7 6 4 ]

出   願   人            N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 3 年 1 2 月   3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 74120015  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/8238  
H01L 27/092  
H01L 29/43  
H01L 29/78

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 山本 一郎

## 【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 君塚 直彦

## 【特許出願人】

【識別番号】 302062931  
【氏名又は名称】 N E C エレクトロニクス株式会社

## 【代理人】

【識別番号】 100109313  
【弁理士】  
【氏名又は名称】 机 昌彦  
【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100085268  
【弁理士】  
【氏名又は名称】 河合 信明  
【電話番号】 03-3454-1111

## 【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

## 【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 MOS トランジスタを有する半導体装置であって、前記 MOS トランジスタの内の p 型 MOS トランジスタのゲート電極が下層から順に下層シリコン、シリコンゲルマニウム、上層シリコンの 3 層構造を有し、前記上層シリコンが前記 MOS トランジスタの最小ゲート長以下の粒径を有する多結晶シリコンであることを特徴とする半導体装置。

【請求項 2】 前記上層シリコンが前記シリコンゲルマニウムを成膜した後、前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜した多結晶シリコンであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記 p 型 MOS トランジスタのゲート電極がゲート電極の厚さ方向に略一定のボロン濃度分布を有することを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 半導体基板上に形成したゲート絶縁膜の上に順に下層シリコン、シリコンゲルマニウム、上層シリコンの 3 層構造を形成して MOS トランジスタのゲート電極を形成する半導体装置の製造方法であって、前記上層シリコンが前記 MOS トランジスタの少なくとも p MOS 領域において最小ゲート長以下の粒径を有する多結晶シリコンであることを特徴とする半導体装置の製造方法。

【請求項 5】 前記シリコンゲルマニウムを成膜した後、前記上層シリコンを前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記 3 層構造を形成した後、前記 MOS トランジスタのうち p 型 MOS トランジスタ形成予定領域の前記 3 層構造に対して選択的にボロンを導入し、前記 3 層構造を熱処理することにより前記 3 層構造の厚さ方向に略一定のボロン濃度分布を形成することを特徴とする請求項 4 又は 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

**【発明の属する技術分野】**

本発明はPチャネル型MOSトランジスタを含む半導体装置に関し、特にゲート空乏化の抑制しゲート酸化膜の信頼性劣化を抑制できる製造方法に関するものである。

**【0002】****【従来の技術】**

Pチャネル型MOSトランジスタ（以下、PMOSトランジスタ）及びNチャネル型MOSトランジスタ（以下、NMOSトランジスタ）を備える半導体装置では、ゲート電極の微細化、ゲート絶縁膜の薄膜化が進められている。この場合、ゲート電極の微細化に伴う短チャネル効果を抑制するために、PMOSトランジスタのゲート電極を構成するポリシリコンにB（ボロン）等のP型不純物を導入し、NMOSトランジスタのゲート電極を構成するポリシリコンにAs（砒素）やP（リン）等のN型不純物を導入することが行われる。通常、これら不純物の導入は、シリコン等の半導体基板上にゲート絶縁膜、ゲート電極を形成した後、半導体基板に不純物をイオン注入してソース・ドレインの各イオン注入層を形成するとともに、これと同時に不純物をゲート電極にイオン注入する。その上で、熱処理を行ってソース・ドレインにイオン注入した不純物を活性化してソース・ドレイン領域を形成するとともに、ゲート電極に注入した不純物を活性化する手法がとられている。

**【0003】**

しかしながら、PMOSトランジスタのゲート電極に導入したBはAsやPと比較して活性化し難いため、前述したソース・ドレイン領域に対する活性化処理ではゲート電極の底部、すなわちゲート絶縁膜との界面領域でのBの活性化が十分に行われなない。そのため、ゲート絶縁膜の界面におけるBの活性化濃度が低い状態となり、当該界面においてゲート電極中に空乏層が生じ、この空乏層によりゲートのしきい値が変動する等、PMOSトランジスタの特性の劣化が生じることになる。この場合、ゲート電極中でのBの活性化を十分に行うための熱処理を行うと、ソース・ドレイン領域における不純物の活性化が過度になり、浅いソース・ドレイン領域を形成することができなくなる。

## 【0004】

このような問題に対し、ゲート電極のポリシリコンにGe（ゲルマニウム）を注入することでBの活性化率を向上し、ゲート絶縁膜の界面におけるBの活性化濃度を高めて空乏層を抑制する技術が提案されている。例えば、特許文献1では、PMOSトランジスタのゲート電極を下から順にポリシリコンシード層、SiGe層、ポリシリコンシード層と同一条件の追加ポリシリコン層で構成した技術が記載されている。この場合のポリシリコンシード層の成膜は、チャンバ気圧を数Torr乃至大気圧で、温度を550乃至600℃に維持し、シランガスのようなソースガスを注入してポリシリコンを形成するCVD方法を使用する、と記載されている。

## 【0005】

## 【特許文献1】

特開2002-305256公報

## 【0006】

## 【発明が解決しようとする課題】

上記特許文献1で成膜される追加ポリシリコン層は、ポリシリコンシード層の成膜条件と同じであるため、ポリシリコン粒径がある程度大きくなっていると考えられる。従って、この後の工程で注入されるボロンを活性化熱処理でゲート電極内に拡散させる場合、縦方向に均一に分布せず、ゲート絶縁膜との界面近傍でボロン濃度が低くなる恐れがある。

## 【0007】

そこで、本発明の目的は、PMOSトランジスタのゲート電極中にGeを導入してBの活性化率を高めた半導体装置においても、ゲート電極の縦方向にボロンを均一に分布させることのできる半導体装置とその製造方法を提供するものである。

## 【0008】

## 【課題を解決するための手段】

本発明の半導体装置は、MOSトランジスタを有する半導体装置であって、前記MOSトランジスタの内のp型MOSトランジスタのゲート電極が下層から順

に下層シリコン、シリコンゲルマニウム、上層シリコンの3層構造を有し、前記上層シリコンが前記MOSトランジスタの最小ゲート長以下の粒径を有する多結晶シリコンであることを特徴とする。

#### 【0009】

上記本発明の半導体装置において、前記上層シリコンが前記シリコンゲルマニウムを成膜した後、前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜した多結晶シリコンである。

#### 【0010】

上記本発明の半導体装置において、前記p型MOSトランジスタのゲート電極がゲート電極の厚さ方向に略一定のボロン濃度分布を有する。

#### 【0011】

本発明の半導体装置の製造方法は、半導体基板上に形成したゲート絶縁膜の上に順に下層シリコン、シリコンゲルマニウム、上層シリコンの3層構造を形成してMOSトランジスタのゲート電極を形成する半導体装置の製造方法であって、前記上層シリコンが前記MOSトランジスタの少なくともpMOS領域において最小ゲート長以下の粒径を有する多結晶シリコンであることを特徴とする。

#### 【0012】

上記本発明の半導体装置の製造方法において、前記シリコンゲルマニウムを成膜した後、前記上層シリコンを前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜する。

#### 【0013】

上記本発明の半導体装置の製造方法において、前記3層構造を形成した後、前記MOSトランジスタのうちp型MOSトランジスタ形成予定領域の前記3層構造に対して選択的にボロンを導入し、前記3層構造を熱処理することにより前記3層構造の厚さ方向に略一定のボロン濃度分布を形成する。

#### 【0014】

#### 【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1及び図2は本発明をPMOSトランジスタとNMOSトランジスタで構成されるCMOS型半導体装



置に適用した実施形態を製造工程順に示す断面図である。以下、製造工程に従って説明する。

#### 【0015】

先ず、図1(a)に示すように、P型シリコン基板1の表面にP型エピタキシャル層2を形成し、当該エピタキシャル層2のNMOSトランジスタ形成領域にPウェル3を、PMOSトランジスタ形成領域にNウェル4をそれぞれ形成する。また、NMOSトランジスタ形成領域とPMOSトランジスタ形成領域を包囲する領域に素子分離領域、例えば浅い溝型の絶縁領域であるSTI(Shallow Trench Isolation)5を形成する。その上で、NMOSトランジスタ形成領域及びPMOSトランジスタ形成領域の各ウェル3, 4の表面に熱酸化によりゲート絶縁膜としてのSiO<sub>2</sub>膜(シリコン酸化膜)6を10nm程度の厚さに形成する。次いで、前記ゲート絶縁膜6上にゲート電極7N, 7Pを形成する。図3(a)～(b)は前記ゲート電極7N, 7Pの製造工程を説明するための拡大断面図である。

#### 【0016】

先ず図3(a)のように、前記ゲート絶縁膜6上にCVD法によりseed-Si膜71を3～20nmの厚さに形成する。さらに、その上にCVD法によりSiとGeの混合物であるSiGe膜72を15～50nmの厚さに形成する。ここで、SiGe膜72におけるSiとGeの混合割合は、Si:Ge=70～85:15～30程度に設定している。このとき、SiGe膜72の下層に存在している前記seed-Si膜71によってseed-SiとSiGeとの接着性が高められ、SiGe膜72を所望の膜厚に均一に形成することが可能になる。仮に、seed-Si膜71が存在していないと、ゲート絶縁膜6としてのSiO<sub>2</sub>とSiGeとの密着性が低いため、SiGeを形成しても粒状になってしまい、均一なSiGe膜72ができなくなる。なお、seed-Si膜71はアモルファスシリコン膜またはポリシリコン膜で形成することができる。

#### 【0017】

さらに、前記SiGe膜72の上にCVD法によりキャップシリコン膜73を50～100nmの厚さに形成する。このとき、キャップシリコン膜73はse

seed-Si 膜 71、SiGe 膜 72 よりも高い温度で形成したポリシリコンであり、その粒径は少なくとも pMOS 領域において最小ゲート長よりも小さいものとする。上記の seed-Si 膜 71、SiGe 膜 72、キャップシリコン膜 73 を形成する際には、枚葉装置を用いてもよいし、またバッチ式装置を用いてもよい。具体的な形成条件としては

(1) 枚葉装置使用の場合

第1チャンバーにて温度 550-650℃ で SiH<sub>4</sub> または Si<sub>2</sub>H<sub>6</sub> で seed-Si 膜 71 を、SiH<sub>4</sub> または Si<sub>2</sub>H<sub>6</sub> および GeH<sub>4</sub> で SiGe 膜 72 を形成後、第2チャンバーにて温度 680-800℃ で SiH<sub>4</sub> または Si<sub>2</sub>H<sub>6</sub> を用いてキャップシリコン膜 73 を形成する。

(2) バッチ装置使用の場合

温度 450-550℃ で SiH<sub>4</sub> または Si<sub>2</sub>H<sub>6</sub> で seed-Si 膜 71 を、SiH<sub>4</sub> または Si<sub>2</sub>H<sub>6</sub> および GeH<sub>4</sub> で SiGe 膜成長を成長し、その後炉内の温度を 600-650℃ に昇温して SiH<sub>4</sub> または Si<sub>2</sub>H<sub>6</sub> でキャップシリコン膜 73 を形成する。

【0018】

以上により、ゲート電極 7N、7P の下層膜としての seed-Si 膜 71 及び SiGe 膜 72 と、キャップシリコン膜 73 が形成される。しかる上で、図 3 (b) に示すように、前記キャップシリコン膜 73 の上に所要のパターンのフォトリソグレイ膜 101 を形成し、このフォトリソグレイ膜 101 をマスクにして前記最上層のキャップシリコン膜 73 から前記下層の seed-Si 膜に至る積層膜をエッチングし、PMOS トランジスタ及び NMOS トランジスタの各ゲート電極 7N、7P を形成する。

【0019】

次いで、図 1 (b) のように、PMOS 形成領域をフォトリソグレイ 102 で覆った状態で、前記 NMOS トランジスタ形成領域に N 型不純物、例えば P (リン) のイオン注入を行う。この P のイオン注入により NMOS トランジスタのゲート電極 7N に P がイオン注入され、同時に当該ゲート電極 7N を利用した自己整合法により NMOS トランジスタ形成領域の P ウェルに P がイオン注入され、ソ

ース・ドレイン形成領域にPのイオン注入層8Nが形成される。

#### 【0020】

同様に、図1(c)のように、今度はNMOS形成領域をフォトレジスト103で覆った状態で、前記PMOSトランジスタ形成領域にP型不純物としてB(ボロン)のイオン注入を行う。このBのイオン注入によりPMOSトランジスタのゲート電極7PにBがイオン注入され、同時に当該ゲート電極7Pを利用した自己整合法によりPMOSトランジスタ形成領域のNウェル4にBがイオン注入され、ソース・ドレイン形成領域にBのイオン注入層8Pが形成される。

#### 【0021】

次いで、図2(a)のように、全面にSiO<sub>2</sub>膜或いはSiN膜等の絶縁膜を所要の厚さに形成し、この絶縁膜を異方的にエッチングバックして前記各ゲート電極7N、7Pの側面にのみ残し、サイドウォール絶縁膜10を形成する。

#### 【0022】

しかる上で、熱処理を行ってイオン注入により形成したPのイオン注入層8NとBのイオン注入層8Pの活性化を行い、Pウェル3内にN型ソース・ドレイン領域9Nを、Nウェル4内にP型ソース・ドレイン領域9Pを形成する。この活性化では、N型及びP型の各ソース・ドレイン領域9N、9Pが所望の深さよりも深くならないように活性化のための熱処理が制御される。

#### 【0023】

また、このソース・ドレイン領域9N、9Pの形成と同時に、図4にPMOSトランジスタのゲート電極7Pを拡大して示すように、キャップシリコン膜73にイオン注入されたBが活性化され、当該キャップシリコン膜73からSiGe膜72、さらに下層のseed-Si膜71のゲート絶縁膜6との界面領域にまで拡散されるBが活性化される。

#### 【0024】

このとき、キャップシリコン膜73が粒径の小さい多結晶シリコンで形成されているため、上述のように制御された熱処理条件下でもイオン注入されたPとBは速やかにゲート絶縁膜6との界面まで拡散する。このとき、SiGe膜72中のGeの作用により前述のボロンの活性化率が高められる。同時に、キャップシ

リコン膜 73 の成膜条件により、キャップシリコン膜 73 のポリシリコン粒径を形成する MOS トランジスタの最小ゲート長、例えば、50 nm よりも小さくすることができるので、ボロンを seed-Si 膜、SiGe 膜、キャップシリコン膜の積層構造の厚さ方向に渡ってほぼ均一な分布とすることができる。特にゲート絶縁膜 6 との界面領域での活性化濃度が高くなり、当該界面における空乏層の発生が抑制され、PMOS トランジスタの特性が改善されることになる。

#### 【0025】

続いて、図 2 (b) に示すように、全面に Co 膜 11 をスパッタ法により所要の厚さに形成した後、熱処理を行い、NMOS トランジスタ及び PMOS トランジスタの各ソース・ドレイン領域 9N, 9P の表面及び各ゲート電極 7N, 7P のいずれにおいても、Co と Si が反応し、自己整合的に Co シリサイド膜、すなわち Co サリサイド膜 12 が形成される。

#### 【0026】

その後は、図 2 (c) のように、シリサイド化されていない Co 11 をエッチング除去した後、全面に層間絶縁膜 13 を被覆し、前記ソース・ドレイン領域 9N, 9P 等の Co シリサイド層 12、あるいはゲート電極 (または配線) 7N, 7P 上の Co シリサイド層 12 に上層配線 14 に導通するコンタクト 15 を形成することで CMOS 型半導体装置が完成されることになる。

#### 【0027】

以上のように製造された半導体装置では、前記製造工程において説明したように、特に PMOS トランジスタのゲート電極 7P 中のキャップシリコン膜 73 のポリシリコン粒径を小さく抑えることにより、キャップシリコン膜 73 に注入されたボロンの下方への拡散を促進することができ、ゲート電極 7P 中のボロン濃度をほぼ均一とすることができる。このため、ボロン濃度をゲート電極とゲート絶縁膜 6 との界面で高くでき、ゲート電極の空乏層を抑制して PMOS トランジスタの特性を改善することが可能になる。

#### 【0028】

因みに、図 5 (a) は、PMOS トランジスタのゲート電極 7P において、B をイオン注入した活性化前の状態での B と Ge の各濃度分布を示す図である。ま

た、図5 (b) は同じPMOSトランジスタのゲート電極7Pに対して活性化を行ったときのBとGeの各濃度分布を示す図である。このように、活性化によりゲート電極7P中のボロン濃度の均一性が良く、seed-Si膜71とゲート絶縁膜6との界面領域でのボロンの活性化濃度が高められていることが判る。これによる効果を、図6に示すように、PMOSトランジスタのオン電流で比較した。左側のグラフは上述したように、上部Si膜をseed-Si膜と同じ条件で成膜した場合のオン電流、右側が上部Si膜をa-Si膜で成膜した場合のオン電流、中央が本発明の方法による場合である。本発明の方法によるPMOSトランジスタのオン電流が大幅に大きくなっていることがわかる。

#### 【0029】

なお、本発明においてゲート電極及びソース・ドレイン領域に形成する金属サリサイド膜は、本実施形態のCoサリサイド膜に限られるものではなく、Tiサリサイド膜、Niサリサイド膜についても同様に実現できる。

#### 【0030】

本発明は前記実施形態のようにPMOSトランジスタとNMOSトランジスタを含むCMOS型半導体装置に限られるものではなく、PMOSトランジスタのみで構成される半導体装置に適用することも可能である。この場合には、NMOSトランジスタの特性劣化を考慮する必要がなくなるため、特にSiGeにおけるGeの混合割合を増大してBの活性化率をさらに向上させる構成とすることも可能である。

#### 【0031】

##### 【発明の効果】

以上説明したように本発明は、ゲート電極の下層にGeを含む膜を有し、Geを含む膜の上に粒径の小さいポリシリコン膜を有しているので、ゲート電極中にドーパされるボロンが、ソース／ドレイン電極の活性化熱処理によりゲート電極中に厚さ方向にほぼ均一に分布する。従って、Geの存在によりPMOSトランジスタのゲート電極に注入されたP型不純物の活性化率が改善されるのみならず、ゲート絶縁膜の界面での空乏層が抑制され、PMOSトランジスタの特性劣化が防止される。

**【図面の簡単な説明】****【図 1】**

本発明にかかる半導体装置を製造工程順に示す断面図である。

**【図 2】**

図 1 に続く製造工程を示す断面図である。

**【図 3】**

図 1 の工程におけるゲート電極の製造工程を示す拡大断面図である。

**【図 4】**

製造工程途中における PMOS ゲート電極のゲート幅方向の拡大断面図である。

**【図 5】**

PMOS のゲート電極における B と G e の注入時と活性化後の各濃度分布図である。

**【図 6】**

本発明の従って形成した PMOS トランジスタのオン電流を他の方法で製造したものと比較したグラフである。

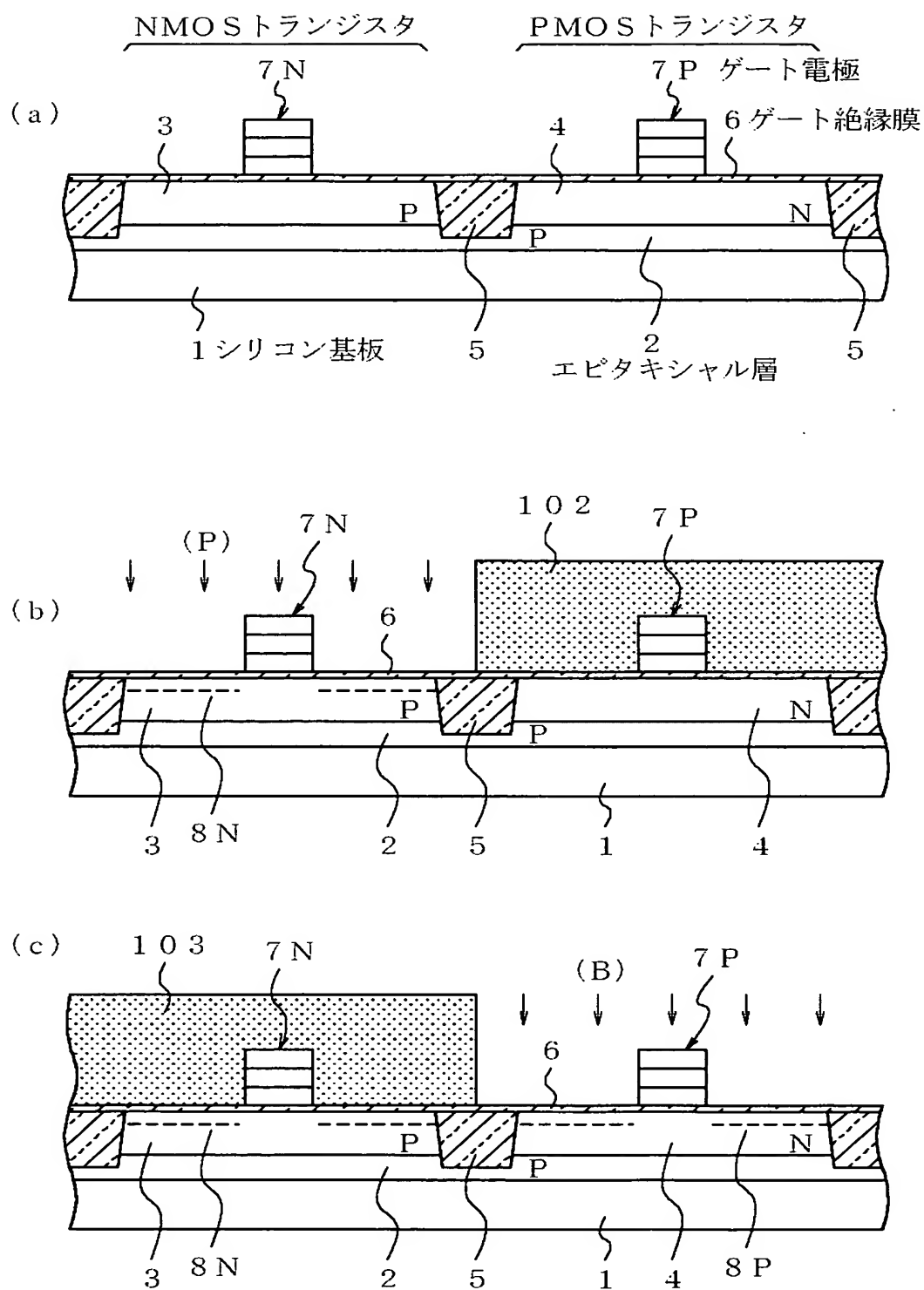
**【符号の説明】**

- 1 シリコン基板
- 2 エピタキシャル層
- 3 P ウェル
- 4 N ウェル
- 5 素子分離絶縁膜 (STI)
- 6 ゲート絶縁膜
- 7, 7 N, 7 P ゲート電極
- 8 N, 8 P イオン注入層
- 9 N, 9 P ソース・ドレイン領域
- 10 サイドウォール絶縁膜
- 11 Co 膜
- 12 Co サリサイド膜

- 1 3 層間絶縁膜
- 1 4 上層配線
- 1 5 コンタクト
- 7 1 s e e d - S i 膜
- 7 2 S i G e 膜
- 7 3 キャップシリコン膜
- 1 0 1, 1 0 2, 1 0 3 フォトレジスト

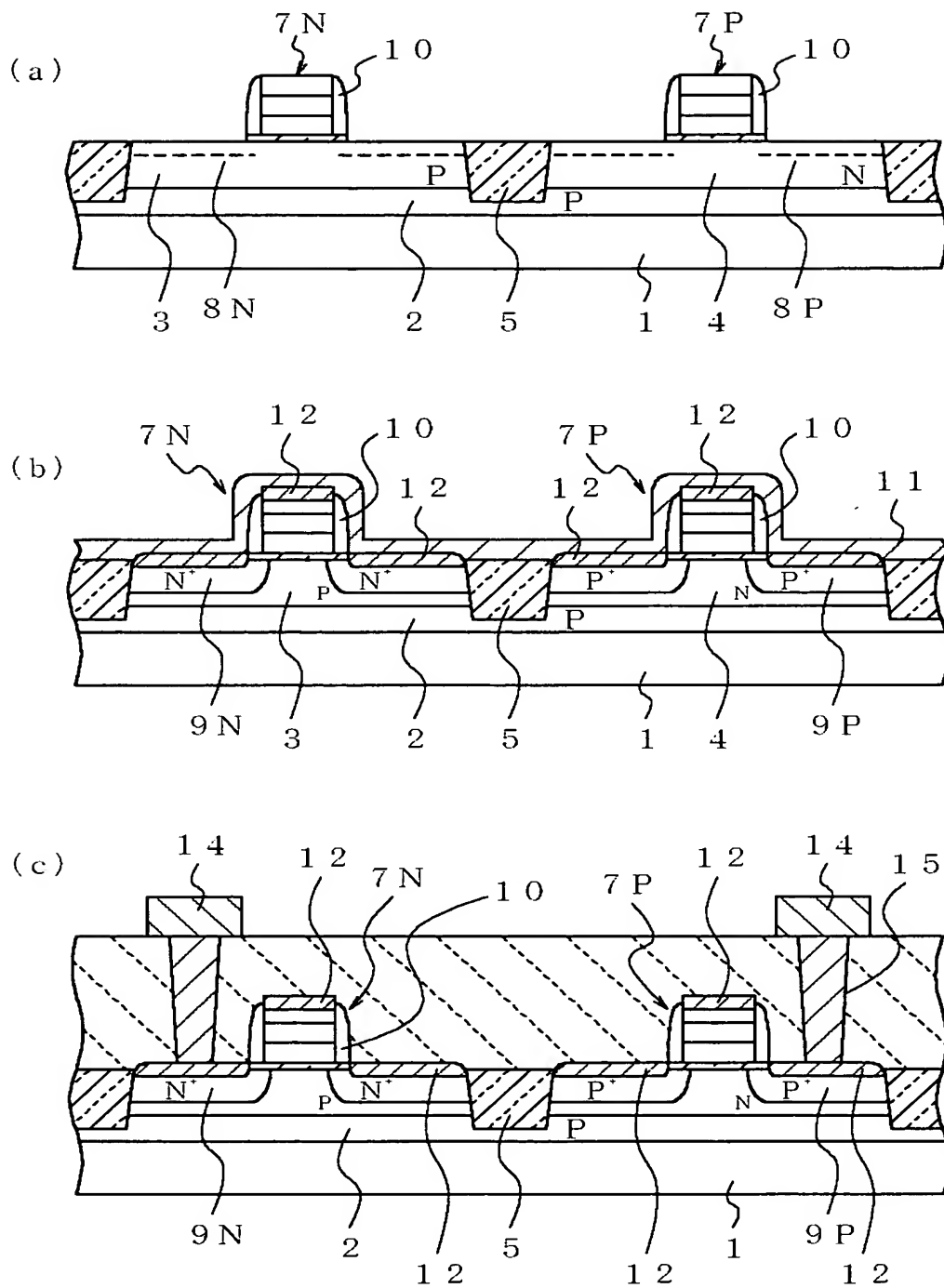
【書類名】 図面

【図 1】



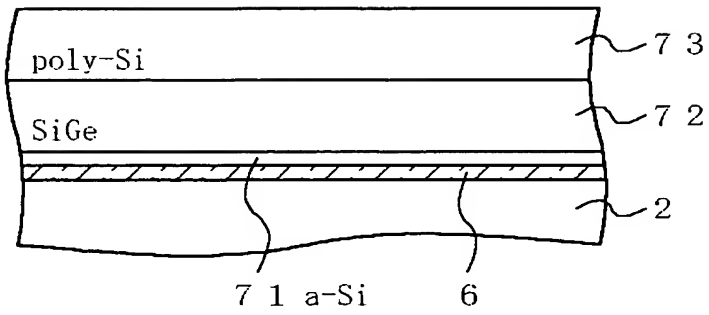


【図 2】

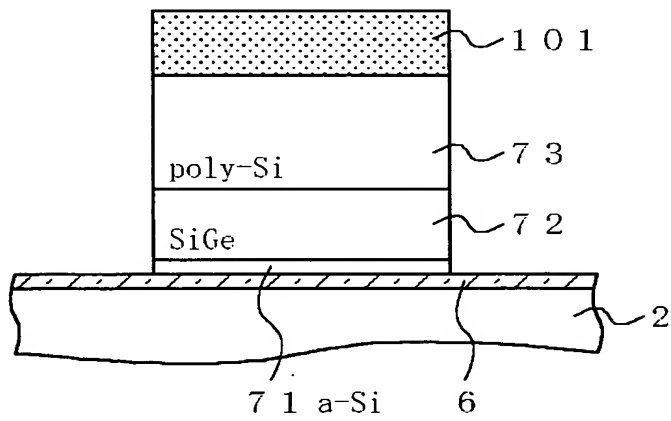


【図 3】

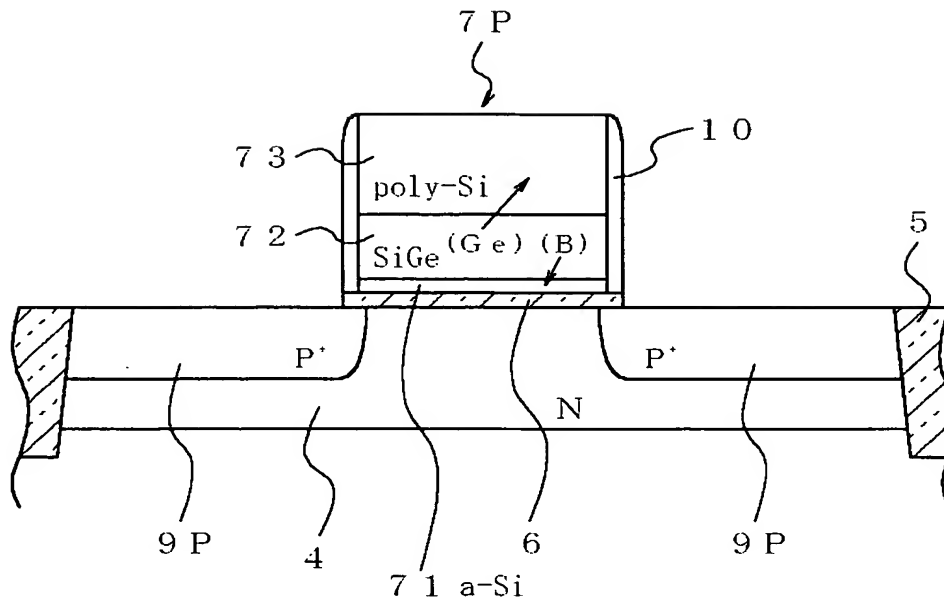
(a)



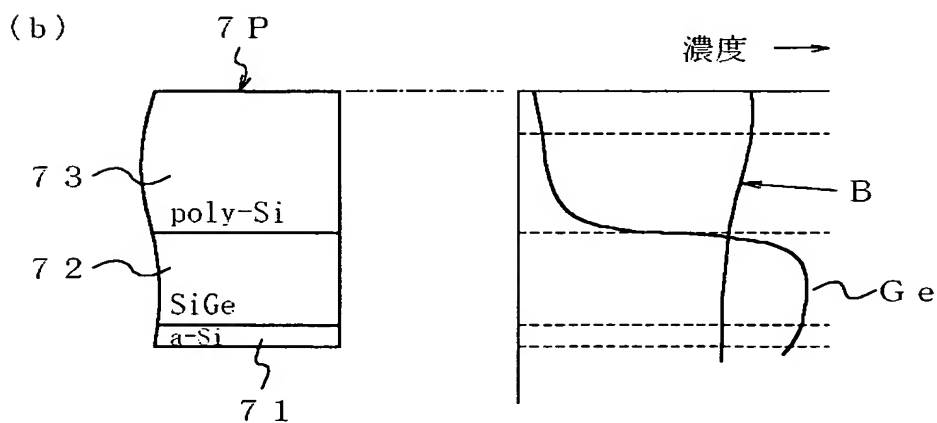
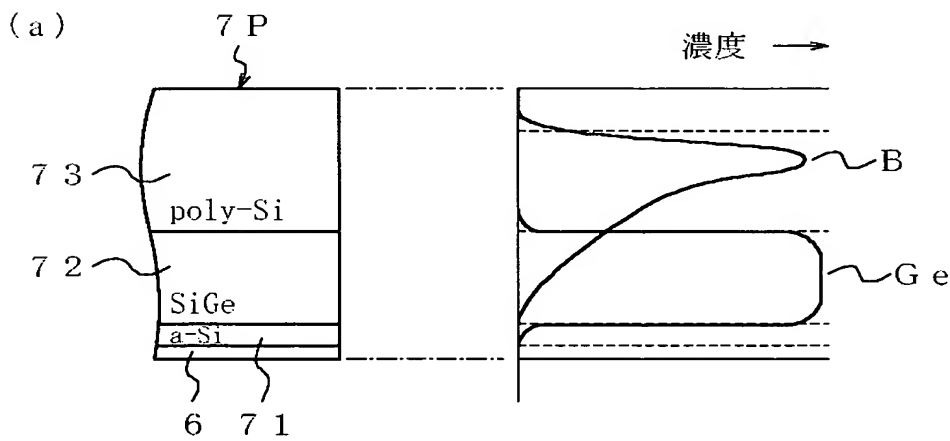
(b)



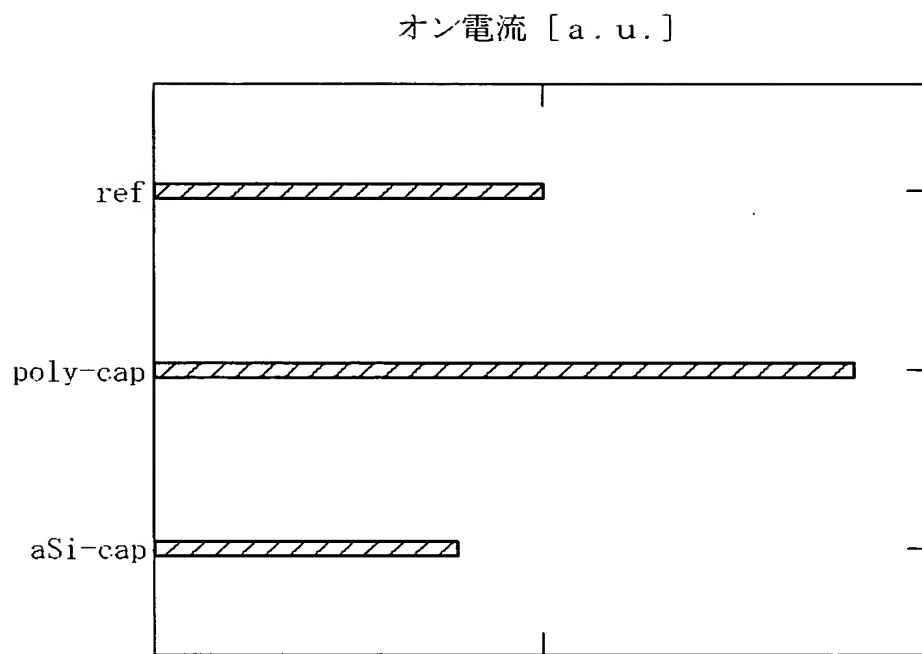
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 PMOSトランジスタのゲート電極中にGeを導入してBの活性化率を高めた半導体装置において、ゲート電極の縦方向にボロンを均一に分布させることのできる技術が要求されている。

【解決手段】 ゲート電極7Pの下層にGeを含む膜72を有し、Geを含む膜72の上に粒径の小さいポリシリコン膜73を有しているので、ゲート電極7P中にドーパされるボロンが、ソース／ドレイン電極の活性化熱処理によりゲート電極中に厚さ方向にほぼ均一に分布する。従って、Geの存在によりPMOSトランジスタのゲート電極に注入されたP型不純物の活性化率が改善されるのみならず、ゲート絶縁膜の界面での空乏層が抑制され、PMOSトランジスタの特性劣化が防止される。

【選択図】 図4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 2 7 6 4
受付番号	5 0 3 0 0 1 5 1 2 2 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 3 1 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月30日

次頁無

特願 2 0 0 3 - 0 2 2 7 6 4

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日  
[変更理由]

2 0 0 2 年 1 1 月 1 日  
新規登録

住 所  
氏 名

神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社